

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-056727

(43)Date of publication of application : 25.02.2000

(51)Int.Cl. G09G 3/20  
G09G 3/22  
G09G 3/28  
G09G 3/30  
H04N 5/66

(21)Application number : 11-107935

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.04.1999

(72)Inventor : KAWASE TORU  
ADACHI KATSUMI

(30)Priority

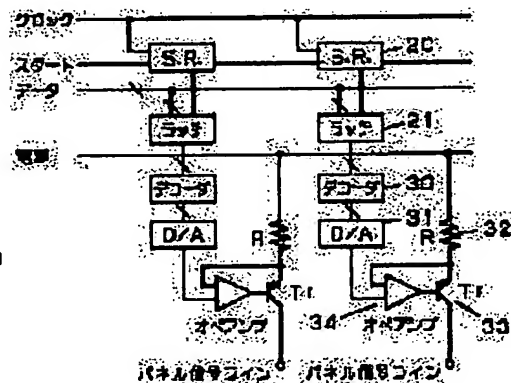
Priority number : 10157296 Priority date : 05.06.1998 Priority country : JP

## (54) GRADATION DRIVING DEVICE FOR DISPLAY PANEL

(57)Abstract:

**PROBLEM TO BE SOLVED:** To realize gradation display which does not require high-speed operation and high accuracy by making a signal driver simultaneously perform the gradation display by the current or voltage output control at plural values and the control of plural output time widths.

**SOLUTION:** The signal driver simultaneously performs the gradation display by the current or voltage output control at plural values and the control of plural output time widths. In this gradation driving device, a shift register 20 decides timing for sampling a data signal from a clock and a start signal from a controller. A latch 21 latches plural signal data lines showing gradation in accordance with the timing of the output of the shift register 20 so as to temporarily store data. The latched data is decoded to two data in a time direction and a current output direction by a decoder 30. The output data from the decoder 30, that means, a current command value is one system and it is inputted in a D/A converter 21, D/A converted and inputted in a constant-current circuit.



## LEGAL STATUS

[Date of request for examination] 10.03.2000

[Date of sending the examiner's decision of rejection] 20.08.2002

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The display panel in which two or more gradation displays are possible, and the signal driver which drives two or more signal lines of said display panel, It is the indicating equipment equipped with the controller which controls the scan driver which drives two or more scan lines of said display panel, and said signal driver and said scan driver. The current thru/or electrical-potential-difference value output control of the value of plurality [ driver / said / signal ], The gradation driving gear of the display panel characterized by indicating by gradation by performing the gradation display by control of two or more output time amount width of face to coincidence.

[Claim 2] The display panel in which two or more gradation displays are possible, and the signal driver which drives two or more signal lines of said display panel, It is the display equipped with the controller which controls the scan driver which drives two or more scan lines of said display panel, and said signal driver and said scan driver. The gradation driving gear of the display panel characterized by said signal driver indicating the gradation display by the current of a value thru/or electrical-potential-difference value output control proportional to the factorial of 2, and control of the output time amount width of face proportional to the factorial of 2 by gradation by carrying out to coincidence.

[Claim 3] The display panel in which two or more gradation displays are possible, and the signal driver which drives two or more signal lines of said display panel, It is the display equipped with the controller which controls the scan driver which drives two or more scan lines of said display panel, and said signal driver and said scan driver. The gradation driving gear of the display panel characterized by said signal driver indicating the gradation display by the current value of a value or electrical-potential-difference value output control which did n division into equal parts (n is the integer of arbitration) of maximum, and control of the output time amount width of face proportional to the factorial of 2 by gradation by carrying out to coincidence.

[Claim 4] The display panel in which two or more gradation displays are possible, and the signal driver which drives two or more signal lines of said display panel, It is the display equipped with the controller which controls the scan driver which drives two or more scan lines of said display panel, and said signal driver and said scan driver. The gradation driving gear of the display panel with which said signal driver is characterized by the current of a value thru/or electrical-potential-difference value output control proportional to the factorial of 2, and being performing the gradation display by the control of the output time amount width of face of a value carried out to coincidence n division into equal parts (n being the integer of arbitration), and indicating the maximum by gradation.

[Claim 5] The display panel in which two or more gradation displays are possible, and the signal driver which drives two or more signal lines of said display panel, It is the display equipped with the controller which controls the scan driver which drives two or more scan lines of said display panel, and said signal driver and said scan driver. The gradation driving gear of the display panel with which said signal driver is characterized by the current value of a value or electrical-potential-difference value output control which did n division into equal parts (n is the integer of arbitration) of maximum, and being performing the gradation display by the control of the output time amount width of face of a value carried out to coincidence m division into equal parts (m being the integer of arbitration), and indicating the maximum by gradation.

[Claim 6] In the drive method with which said signal driver performs the gradation display by the current of two or more values thru/or voltage-output control, and control of two or more output time amount width of face to coincidence The current value or electrical-potential-difference value output control which had the amplitude controlled at intervals of  $1/2m$  of maximum using m bits (for m to be the integer of arbitration) of high orders of gradation data expressed with n bits (n is the integer of arbitration), The gradation driving gear of the display panel according to claim 5 characterized by performing time amount width-of-face control which controls time amount width of face by  $1/2 (n-m)$  spacing of maximum using a low order (n-m)

bit.

[Claim 7] The gradation driving gear of the display panel according to claim 1 to 5 characterized by preparing a decoder in order to divide a gradation command value into the current of two or more values thru/or a voltage output, and the output time amount width of face of two or more values.

[Claim 8] Said decoder is the gradation driving gear of the display panel according to claim 7 characterized by the ability to rewrite a control system.

[Claim 9] The gradation driving gear of a display panel given in either of claims 1-5 characterized by both having two LSB or it outputs twice LSB of the voltage output which is not a current, and it outputs LSB of output time amount width of face twice.

[Claim 10] The gradation driving gear of the display panel according to claim 1 to 5 characterized by performing decoding to which said signal driver performs the gradation display by the current of two or more values thru/or voltage-output control, and control of two or more output time amount width of face to coincidence, and output time amount becomes long.

[Claim 11] It is the gradation driving gear of the display panel according to claim 1 to 5 characterized by for said signal driver performing the gradation display by the current of two or more values thru/or voltage-output control, and control of two or more output time amount width of face to coincidence, and changing a current thru/or a voltage output only in the direction to which a value is made to increase.

[Claim 12] The gradation driving gear of the display panel according to claim 1 to 5 characterized by the number of partitions of output time amount width of face increasing more than a current thru/or the number of the output numbers of partitions of a voltage output in the drive method with which said signal driver performs the gradation display by the current of two or more values thru/or voltage-output control, and control of two or more output time amount width of face to coincidence.

[Claim 13] A current output control is the gradation driving gear of the display panel according to claim 1 to 5 characterized by having the current regulator circuit.

[Claim 14] A current regulator circuit is the gradation driving gear of the display panel according to claim 13 characterized by consisting of a current mirror mold or a current feedback mold.

[Claim 15] The gradation driving gear of the display panel according to claim 1 to 5 characterized by a display panel consisting of organic electroluminescence LED the discharge tube thru/or an electron emission component.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention realizes the driving gear which enables sufficient gradation display, without requiring rapidity and high degree of accuracy in circuit about the display which modulates drive currents and driver voltages, such as LED, organic electroluminescence, the discharge tube, and an electron emission component, and emits light momentarily possible [ a halftone display ].

[0002]

[Description of the Prior Art] The configuration of the display using conventional LED and conventional organic electroluminescence is shown in drawing 14 . In drawing 14 , 12 is the scan driver to which it is the display panel of a union \*\*\*\*\* matrix type, 11 is the signal driver which drives a signal line, and the signal line of plurality [ 10 ] and two or more scan lines drive a scan line, and 13 is a controller which controls the signal driver 11 and the scan driver 12. In case a gradation drive is carried out, the data according to that picture signal are inputted into the signal driver 11, and a gradation control function is prepared in this signal driver 11 interior.

[0003] As for this gradation control system, two approaches were used conventionally. Pulse Density Modulation (it omits Following PWM) is first explained as one. The example of a configuration of the signal driver by this method is shown in drawing 15 .

[0004] In drawing 15 , 20 determines the timing which samples a data signal from the clock and start signal from a controller with a shift register (it abbreviates to "S. R." below). 21 serves to latch two or more signal data lines which are latches and show gradation according to the timing of the output of S.R., and to store a transient data. 22 is a decoder which determines the output timing of PWM based on the data stored by the latch 21, and outputs the output by which Pulse Density Modulation was carried out to the last in the PWM circuit of 23 to the signal line of a display panel. The example of an output is shown in drawing 16 . A gradation display is performed by controlling the time amount width of face from 100% to the LSB output of a smallest unit according to gradation displaying a fixed output for every 1 level period synchronizing with the drive of a scan line.

[0005] The example of a configuration of the signal driver of another output amplitude modulation is shown in drawing 17 , and it explains with drawing. The thing of the same function as drawing 15 attaches the same number, and explanation is omitted. 25 is a D/A circuit which changes into an analog current the data stored by the latch 21, and inputs this output into the source of reference current of the current mirror which consisted of transistors 26 and 27. The output current of this D/A25 and the current of the same value will flow to a panel signal line, and the gradation display by the current amplitude modulation according to a data signal will be performed by work of a current mirror. The example of an output is shown in drawing 18 . Over the effective scan period in 1 level period, a fixed current drives from 100% to LSB of a smallest unit, and displays gradation.

[0006] Although the example of a configuration was given and explained about the case of the optimal current drive for LED or organic electroluminescence above, the thing suitable for constant voltage drives, such as the discharge tube, can cope with it by making the output section an amplifier configuration etc.

[0007]

[Problem(s) to be Solved by the Invention] When the number of gradation displays increased about PWM among the conventional examples explained above, LSB of a smallest unit became narrow, and there was a fault for which high-speed actuation is needed as a signal driver. For example, considering 8 bits and 256 gradation which are needed for natural drawing by the panel of 640x480 displays for computers, in a frame unit, 60 frames per second, then the LSB width of face of those serve as straitness for 0.12 microseconds, and high-speed operation very severe as a signal driver is needed. Moreover, in the display device by which

not only diode but capacity joins juxtaposition as an equal circuit per pixel like organic electroluminescence, even if the metaphor signal driver carried out high-speed operation, the current escaped in juxtaposition capacity, it stops having emitted light per LSB, and the phenomenon in which a fine gradation expression was spoiled had occurred.

[0008] Although there is no fault of high-speed operation about another output amplitude modulation, when there is many gradation, the technical problem that the output deflection of a signal driver is severe occurs. For example, in the signal driver of the current output which sets the time of 100% output to 10mA, the LSB output at the time of 8-bit/256 gradation is 40microA, and it is very severe industrially to guarantee this precision for this to homogeneity over all Rhine. Although the precision of D/A25 in drawing 8 and the current mirror 26 was specifically the point, and a display panel could not be commercialized if these were not IC-ized, it was very difficult to accumulate many analog circuits in 1/256 or less precision by the monolithic IC.

[0009] Moreover, in an organic EL panel, as a phenomenon at the time of performing output amplitude modulation control, when the rectification ratio of a component is bad, there is a problem which a gradation gap generates. This is explained using drawing 19. First, in the drive of organic electroluminescence, the reverse bias is applied to components other than selection Rhine for cross talk prevention (L1, L3). If an output current value is controlled at this time in order to make a certain component (E22) emit light by low brightness, the electrical potential difference impressed to this component will become small inevitably (+1V). In other components E12 and E32 of the same column by which the reverse bias is carried out at this time, if the rectification ratio of that component is bad, a reverse current will flow there, and the phenomenon in which a current flows in towards a light emitting device occurs.

[0010] For this reason, the phenomenon in which gradation shifts occurs. Thus, when an organic EL device performs output amplitude modulation, improvement in the own rectification ratio of a component is also required. For example, when displaying 256 gradation with 640x480 display panel and the allowable error of a gradation gap is made or less [ of 1 gradation ] into 1/2, a rectification ratio is needed  $2.5 \times 10^5$  or more.

[0011] Although the rectification ratio of a component is dependent on an ingredient or a configuration, implementation becomes difficult as it becomes the Takashina tone. Thus, in the drive of an organic EL device, it becomes still more difficult.

[0012] There is JP,9-101759,A as a conventional example of application. This is a drive method which prepares the output power source from which plurality differs, is made to switch each power source based on the information which exists for every fixed period, and is added.

[0013] In this example of application, when driving two or more components, such as a panel, two or more drive circuits are needed. At this time, a fixed electrical potential difference can be supplied for a power source to two or more drive circuits in a common-bus format, and a power outlet can be added in each drive circuit in the drive circuit of an armature-voltage control mold. However, when adding and outputting a current like an organic EL device, a fixed current cannot be supplied in a common-bus format. That is, it will be common to two or more components, and the constant current source of a certain value will be used, according to a switching condition, the amount of output currents of a power source changes, and constant current actuation becomes very difficult. In this case, two or more current sources and the set of a switch and an adder are needed for two or more drive circuits of each, and there are problems, such as components mark and complexity of a configuration.

[0014]

[Means for Solving the Problem] The display panel which this invention can gradation display [ two or more ], and the signal driver which drives two or more signal lines of said display panel, It has the controller which controls the scan driver which drives two or more scan lines of said display panel, and said signal driver and said scan driver. The current of the value of plurality [ driver / said / signal ] thru/or voltage-output control, The gradation display which does not need high-speed operation and high degree of accuracy by performing the gradation display by control of two or more output time amount width of face to coincidence is enabled.

[0015]

[Embodiment of the Invention] (Gestalt of the first operation) The principle of operation of this invention is shown in drawing 1, and it explains with drawing. A principle-of-operation Fig. tends to be shown, 4 bits and 16 gradation tend to be divided in the direction of time amount, it tends to divide 4 bits and 16 gradation in the current (or electrical potential difference) output direction, and drawing 1 tends to perform the expression of 8 bits and 256 gradation combining both. Thereby, LSB of the direction of time amount is set to about 2 microseconds, and clock frequency is reduced sharply. And if the direction of a current output sets 100% to 10mA, LSB will be set to about 0.6mA and precision will be reduced about [ of the whole ]

with 1/16. Thereby, monolithic IC-ization can be enabled industrially.

[0016] In this example, it is carrying out to 0, 1, 1, 2, 4, and 8 instead of the usual 4-bit coding, and 0, 1, 2, 4 and 8 as it understands, if the direction of time amount of drawing 1 is seen. Since that width of face will begin from 0 if this reason makes time amount and the direction of a current the usual coding, it is for preventing that both become 15LSB units and the display of 15= 15x225 gradation and 256 gradation becomes impossible to them this sake.

[0017] The point out of which the combination which cannot be especially displayed at the time of a low value comes and which a gradation jump generates is a problem. For example, the degree of 30 can display only 32 and 31 is impossible. the example of this invention -- the direction of time amount -- 1LSB unit -- adding -- the combination of 15= 16x240 gradation -- front -- an example -- \*\* -- it carries out. In this case, although 256 gradation is not reached, since a gradation jump of a low value can be prevented, it is almost satisfactory practically. Of course, 1LSB may be increased in the direction of a current output. It is very good in the approach of output both adding a LSB unit, setting to 16x16=256, and furthermore, displaying completely.

[0018] Moreover, what is necessary is for there to be various approaches and just to choose according to the property of a light emitting device with a decoding method, although it is the division approach of the direction of time amount, and the direction of amplitude value (a current thru/or electrical potential difference). For example, you may divide like drawing 2 - drawing 4 .

[0019] It is the method which drawing 2 takes a value at equal intervals in the direction of amplitude value, and the direction of time amount takes the value proportional to the exponentiation of 2, and realizes gradation in these both combination.

[0020] Drawing 3 is a method which the direction of amplitude value takes the value proportional to the exponentiation of 2, and the direction of time amount takes a value at equal intervals, and realizes gradation in these both combination.

[0021] The direction of amplitude value also takes a value at equal intervals, and drawing 4 is a method which takes the value of regular intervals [ direction / of time amount ], and realizes gradation in these both combination.

[0022] In addition, the illustrated number of partitions may not be restricted to this, and may take the number of arbitration. Moreover, output time amount may not be continuation and may be outputted in the form of discontinuity. Furthermore, you may control by the form which had added one more LSB unit.

[0023] (Gestalt of the second operation) An example of a configuration is shown in drawing 5 and it explains below with drawing. In drawing 5 , 20 determines the timing which samples a data signal from the clock and start signal from a controller with a shift register (S. it abbreviates to R.). 21 serves to latch two or more signal data lines which are latches and show gradation according to the timing of the output of S.R., and to store a transient data. This latched data is decoded by the decoder 30 to two data, the direction of time amount, and the direction of a current output. Specifically, it is considered as the method to which an output current value is changed according to advance of a time-axis within an effective scan period. For this reason, it is one line, the output data, i.e., the current command value, from a decoder, and it is inputted into D/A converter 31.

[0024] The current command value by which D/A conversion was carried out is inputted into an operational amplifier 34 and the current regulator circuit which consists of Tr33 and current setting resistance R32. This current regulator circuit controls Tr33 so that the current which is a common feedback mold and is determined by the difference electrical potential difference of a power source and D/A converter 31 output voltage and the setting resistance R32 becomes fixed. By taking such a configuration, the fixed current value based on the command from a decoder 30 is outputted. Therefore, the component of a panel can be driven with the fixed current value determined with the current command value.

[0025] Here, FPGA (Field Programmable Gate Array) may be used for a decoder 30 so that distribution of a current value and time amount width of face can be performed flexibly. This kind of IC programs on software, and a function is realized by downloading in IC. That is, distribution of a current value and time amount width of face are fitted to the property of the panel to connect, it can program, and it becomes possible to output gradation with a sufficient precision.

[0026] Next, the distribution approach in a decoder 30 is explained using drawing 6 and drawing 7 .

[0027] Although distribution of a current value and time amount width of face can be freely set up by the decoder 30, distribution of a division-into-equal-parts rate like drawing 4 as an example are considered. Input data is divided into n bits of high orders, and m bits of low order, and gradation is expressed.

[0028] For example, the case where express 6-bit gradation (64 gradation), and distribute to the current value of 2 bits (4 gradation) and time amount width of face of 4 bits (16 gradation), and it expresses is



considered. A decoding algorithm becomes as follows.

[0029] First, 2 bits of high orders of input data are used as current value division data [A], and 4 bits of low order are latched as time amount width-of-face division data [B]. Next, the current value for a numeric value of data [A] is outputted over the 16 sections. In addition, only the section for a numeric value of data [B] carries out the output which added 1 to the current value output.

[0030] Concretely, it explains using drawing 6 and drawing 7. For example, input data considers as 38/64 gradation. It is set to [100110] in a binary numeral. this -- the time -- a current value -- division -- data -- [-- A --] -- = -- two -- [-- ten --] -- pulse width -- division -- data -- [-- B --] -- = -- six -- [-- 110 --] -- becoming . At this time, an output wave outputs 2 for a numeric value of data [A] over the 16 sections. In addition, only the section for a numeric value 6 of data [B] outputs the value 3 which added 1 to the output.

[0031] Consequently, it is the view which serves as a wave as shown in drawing 7 as a current value output, repeats the smallest unit block of a current value output, and realizes gradation.

[0032] Thus, since it is the view which repeats the block of a current output, the merit that distribution and the number of partitions can be changed to arbitration can be taken out. That is, what is necessary is just to only change the number of bits of the data which each latches, when changing a current into 16 division and changing time amount width of face into quadrissection. Moreover, when driving an organic EL panel and a rectification ratio is a low panel, there is a problem which a gradation gap generates. It becomes possible by lessening the current number of partitions and taking the large number of partitions of the direction of time amount also to this, to secure precision. Although it is dependent also on the property of a panel, the way which takes many time amount numbers of partitions tends to secure precision from the current number of partitions.

[0033] In addition, neither the distribution approach nor the algorithm of a decoder is restricted to this, and numeric values, such as a distribution number and the number of gradation, are not limited to this. Moreover, not only according to a current value but the panel to drive, a voltage output is sufficient as an output.

[0034] (Gestalt of the third operation) The case where an organic EL device is driven is considered, using the gradation implementation approach and the distribution approach which were explained in the second example. At this time, it must drive in consideration of the property of an organic EL device. Drawing 8 shows the drive of an organic EL device typically.

[0035] A drive circuit is the configuration of drawing 5 and is simplified. At the time of a drive, a current is passed from a power source for this component in a current regulator circuit. It is thought that organic electroluminescence has the rectifying characteristic of the capacitor component 36 and the equivalence diode 35 equivalent, and the equivalence capacitor 36 of an organic EL device is charged at this time. In the method ( drawing 7 ) explained with the gestalt of the 2nd operation, a current value must be decreased to some timing of a time-axis. However, since the output stage of a constant current drive circuit has not prepared the circuit which decreases a current, it cannot lower the electrical potential difference of the charged equivalence capacitor.

[0036] On the other hand, since it moves to reverse bias actuation after a drive period expires, the path shown with the broken line of drawing 8 can turn on, and the charged electrical potential difference can be dropped on GND. That is, the means which sets the electrical potential difference of the equivalence capacitor 36 to GND does not have a means to decrease an electrical potential difference to a certain value, during the drive period of a certain thing. For this reason, with the algorithm of the distribution approach like drawing 7, an organic EL device can be driven well.

[0037] Then, the algorithm of a distribution output is improved. That is, since the electrical potential difference of the equivalence capacitor 36 can be changed in the direction to charge, let it be the method changed only in the direction to which a current command value is made to increase like drawing 9. That is, as a distributing system, a time-axis makes the smallest unit block of a current output the algorithm made to increase to hard flow.

[0038] Thus, gradation can be outputted with a sufficient precision by making it adapted for the property of the panel to connect, and making it change only in the direction to which a current command value is made to increase.

[0039] In addition, neither a drive circuit nor the drive approach is restricted to the approach shown by drawing 8 and drawing 9. Moreover, the output shown in drawing 10 as the distribution approach or an algorithm of a decoder may be used. What is necessary is just to take the algorithm changed only in the direction to which a current command value is made to increase by other methods. Moreover, not only according to a current value but the panel to drive, a voltage output is sufficient as an output.

[0040] (Gestalt of the fourth operation) An example of a configuration is shown in drawing 11 and it



explains below with drawing. In drawing 11 , S.R.21 and latch 22 are the same actuation as drawing 15 , and decode this data by the decoder 30 to two data, the direction of time amount, and the direction of a current output. The data of the direction of a current output are changed into an analog current value by current-output mold D/A converter 31, it is inputted into the current Miller circuit which consists of transistors 32 and 33, and a predetermined current value is outputted. Pulse Density Modulation of the data of the direction of time amount is carried out by the PWM circuit 34 connected to the output of a current mirror, and predetermined pulse width is outputted. As explained above, the union \*\*\*\*\* gradation display of time amount and a current output is attained. In addition, since this invention does not require rapidity so much, the configuration which omits PWM34 is also possible by carrying out direct modulation of the output of D/A31, and carrying out actuation of PWM in a level period.

[0041] Moreover, various combination can be considered to the method of decoding of a decoder 30. Here, by a certain decoding approach, it explains that there is fault, and the decoding approach which prevents it is explained below by it. As the approach of decoding, the output current is chosen in binary and there is a method of assigning the direction of time amount to low order data.

[0042] The example at the time of slightly small middle data is shown in drawing 12 rather than MSB turns on as an example. In this case, one half luminescence is carried out and it becomes a pattern called one half nonluminescent. Since MSB will emit light so that it may be shown in the second half of drawing 12 if it becomes data which increased in number slightly from the condition, the period which emits light is reversed within a level period. Although luminescence reinforcement of the part whose data increased on the average only increases, if such a pattern is generated by the animation, an eye will catch the moment the luminescence pattern changed and the pattern of the shape of a profile which is not in data will be observed. In the plasma display which this phenomenon carries out the PWM modulation of the device of binary luminescence in the direction of time amount, and sends gradation, the present condition is that are called an animation false profile, see notably and the cure proposal is proposed variously.

[0043] So, in this invention, a high order bit is assigned in the direction of time amount, and DEKOTO which increases luminescence time amount if possible is proposed by making a lower bit into the direction of a current output. As shown in drawing 1313 by this, even when increasing slightly from middle data, it is almost changeless in the direction of time amount, and an animation false profile is not observed.

[0044] In addition, that the gestalt of operation explained above describes the drive of the display for the organic electroluminescence and LED suitable for a current drive. However, on the case where the voltage-current property of a device is made to homogeneity, and the display which combined the discharge tube, it becomes a voltage output, and in this case, not a current mirror but an electrical-potential-difference amplifier output may be used, and it can simplify more in respect of a configuration.

[0045]

[Effect of the Invention] As stated above, the display of the Takashina tone is enabled in this invention, without needing the high-speed response of a component and a drive circuit, and highly precise amplitude control. And the combination method without a gradation jump is realized.

[0046] Moreover, since a control system is fitted to the property of the panel to connect and can be programmed, a current value, distribution of time amount width of face, and the number of partitions can be changed to arbitration, and it becomes possible to output gradation with a sufficient precision.

[0047] Moreover, it can be made adapted for the property of the panel to connect, the current number of partitions can be lessened, the large number of partitions of the direction of time amount can be taken, and it becomes possible to secure precision.

[0048] Moreover, gradation can be outputted with a sufficient precision by making it adapted for the property of the panel to connect, and making it change only in the direction to which a current command value is made to increase.

[0049] Moreover, the image also with a good animation is made possible by \*\* which adopts a decoding method without an animation false profile.

[0050] Furthermore, it is a current control mold like an organic EL device, and a configuration is easy also to the low panel of a rectification ratio, the drive method current precision and whose speed of response are not severe can be offered, and the Takashina tone can be displayed. And the gradation distributing system suitable for the property of a luminescence panel can be taken, and gradation can be displayed with a sufficient precision.

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The principle Fig. of the example of this invention

[Drawing 2] The principle Fig. of this example

[Drawing 3] The principle Fig. of this example

[Drawing 4] The principle Fig. of this example

[Drawing 5] The block diagram of the example of this invention

[Drawing 6] Drawing showing the decoder input data of the example of this invention

[Drawing 7] The output wave form chart of the example of this invention

[Drawing 8] The outline circuit diagram showing the drive principle of the example of this invention

[Drawing 9] The output wave form chart of the example of this invention

[Drawing 10] The output wave form chart of the example of this invention

[Drawing 11] Drawing showing an example of the configuration of the example of this invention

[Drawing 12] Drawing showing an example of the luminescence pattern of the example of this invention

[Drawing 13] Drawing showing an example of the luminescence pattern of the example of this invention

[Drawing 14] The block diagram of a display

[Drawing 15] The block diagram of the conventional PWM

[Drawing 16] Drawing showing an example of the luminescence pattern of the conventional PWM

[Drawing 17] The block diagram of the conventional output modulation technique

[Drawing 18] Drawing showing an example of the luminescence pattern of the conventional output modulation technique

[Drawing 19] Drawing showing the gradation gap at the time of performing output amplitude modulation control by the organic EL panel

[Description of Notations]

20 Shift Register (S. R.)

21 Latch

30 Decoder

31 D/A Converter

32 Current Setting Resistance R

33 Tr

34 Operational Amplifier

---

[Translation done.]

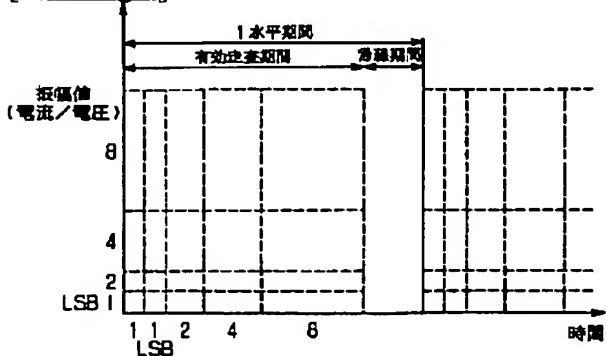
\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

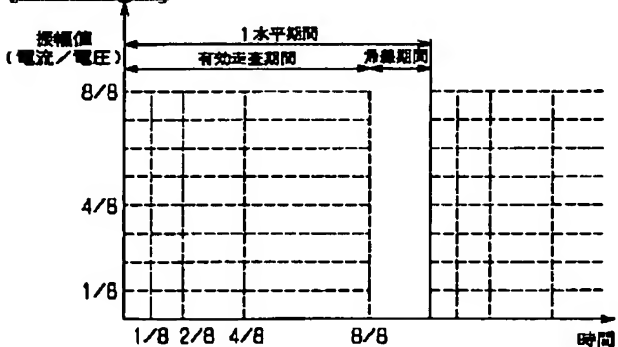
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

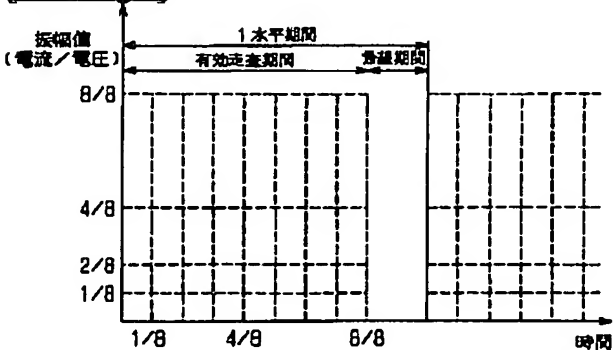
[Drawing 1]



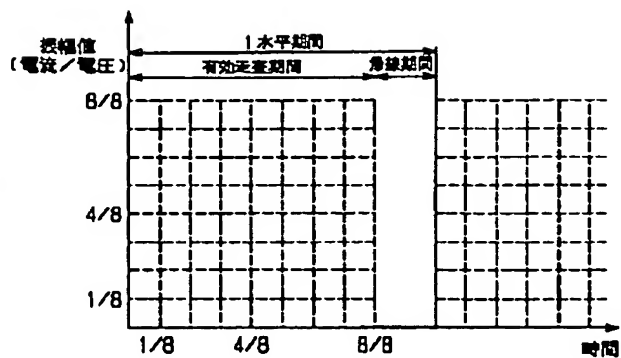
[Drawing 2]



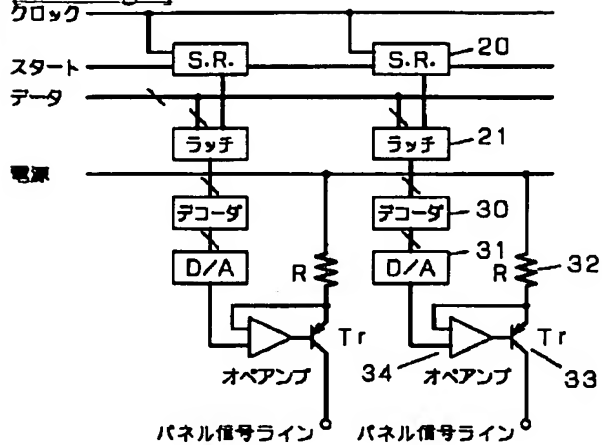
[Drawing 3]



[Drawing 4]



[Drawing 5]



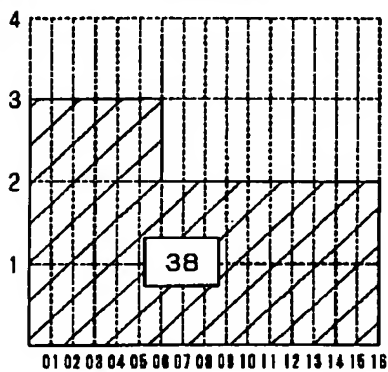
[Drawing 6]

入力階調データ

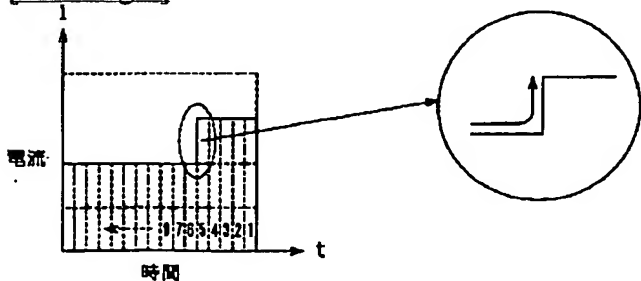
10進数	2進数					
	A		B			
38	1	0	0	1	1	0

[Drawing 7]

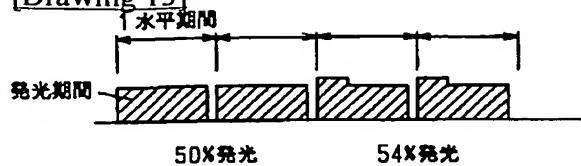
出力波形



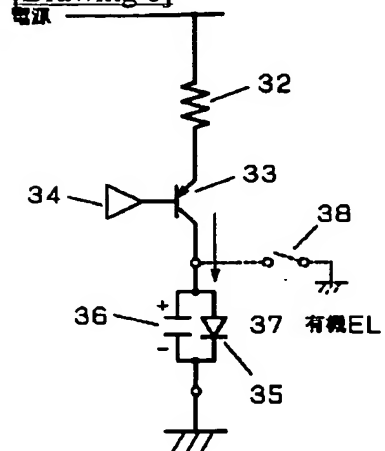
[Drawing 9]



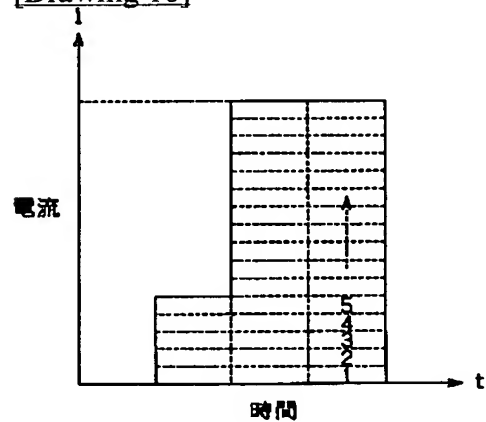
[Drawing 13]



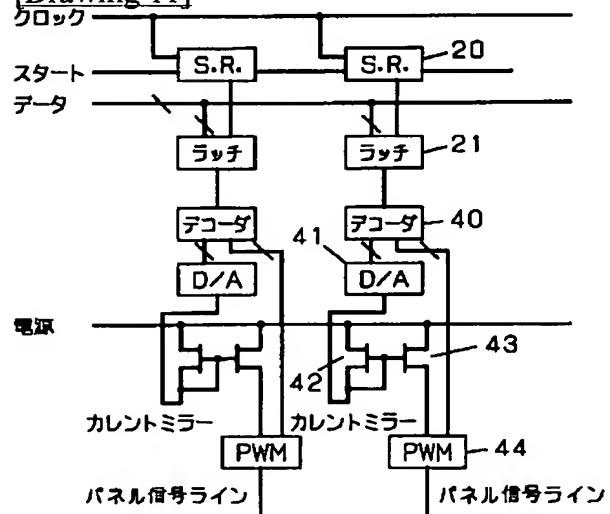
[Drawing 8]



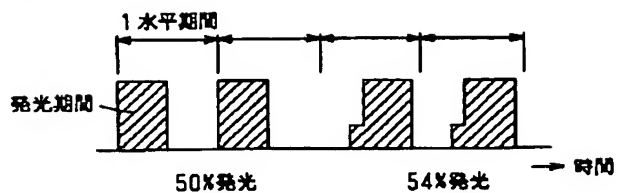
[Drawing 10]



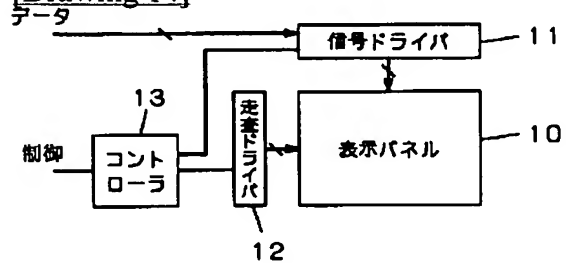
[Drawing 11]



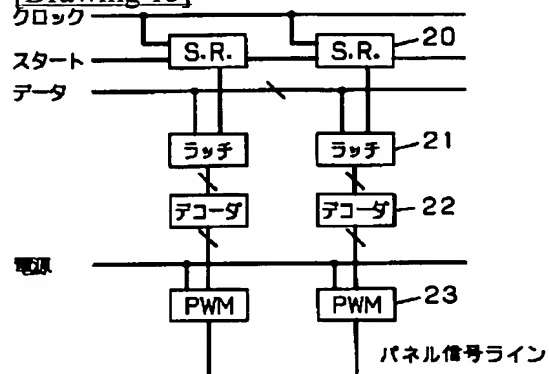
[Drawing 12]



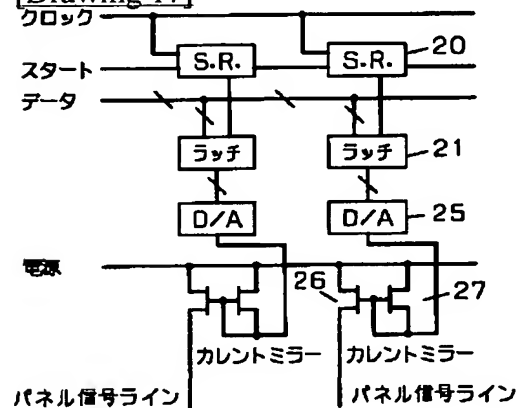
[Drawing 14]



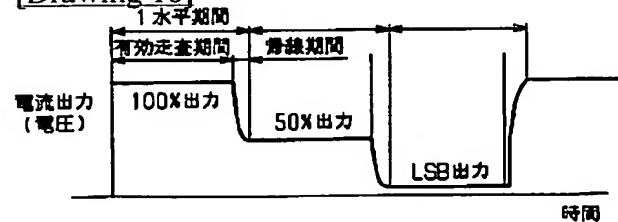
[Drawing 15]



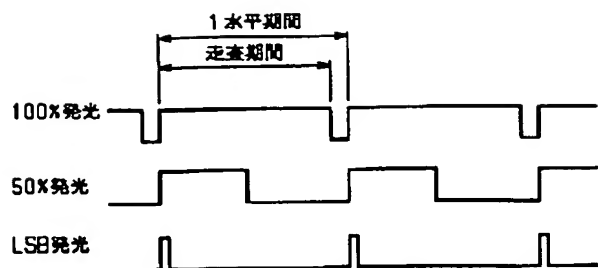
[Drawing 17]



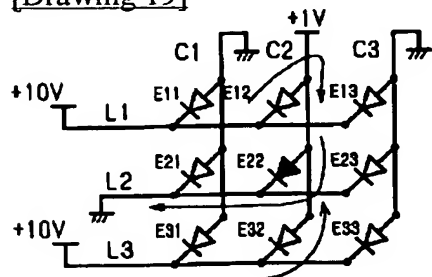
[Drawing 18]



[Drawing 16]



[Drawing 19]



[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-56727

(P2000-56727A)

(43) 公開日 平成12年2月25日(2000.2.25)

(51) Int.Cl.  
G 0 9 G 3/20

識別記号  
6 4 1

F I  
G 0 9 G 3/20

キーワード(参考)

6 4 1 K

6 4 1 A

6 4 1 C

6 4 1 R

D

3/22

3/22

審査請求 未請求 請求項の数15 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平11-107935  
(22) 出願日 平成11年4月15日(1999.4.15)  
(31) 優先権主張番号 特願平10-157296  
(32) 優先日 平成10年6月5日(1998.6.5)  
(33) 優先権主張国 日本(J P)

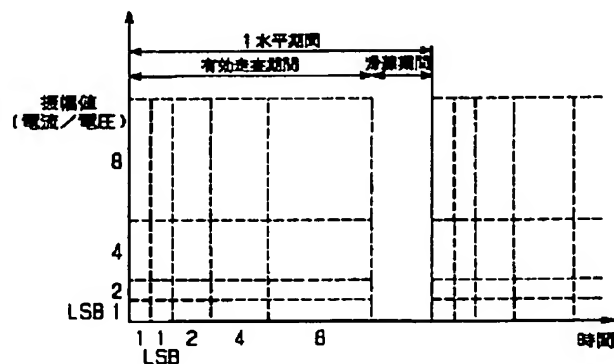
(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 川瀬 透  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 足達 克己  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 100097445  
介理士 岩橋 文雄 (外2名)

(54) 【発明の名称】 表示パネルの階調駆動装置

(57) 【要約】

【課題】 有機ELやLEDで構成されたディスプレイにおいて高速パルス幅変調または、高精度出力でないと高階調表示が実現できなかった。

【解決手段】 パルス幅変調と出力変調を組み合わせることにより、高速性と高精度を必要とすることなく高階調を実現する。



(2)

1

## 【特許請求の範囲】

【請求項1】 複数の階調表示が可能な表示パネルと、前記表示パネルの複数の信号ラインを駆動する信号ドライバと、前記表示パネルの複数の走査ラインを駆動する走査ドライバと、前記信号ドライバと前記走査ドライバを制御するコントローラを備えた表示装置であって、前記信号ドライバが複数の値の電流ないし電圧値出力制御と、複数の出力時間幅の制御による階調表示を同時に行うことで、階調表示することを特徴とする表示パネルの階調駆動装置。

【請求項2】 複数の階調表示が可能な表示パネルと、前記表示パネルの複数の信号ラインを駆動する信号ドライバと、前記表示パネルの複数の走査ラインを駆動する走査ドライバと、前記信号ドライバと前記走査ドライバを制御するコントローラを備えた表示装置であって、前記信号ドライバが、2の階乗に比例した値の電流ないし電圧値出力制御と、2の階乗に比例した出力時間幅の制御による階調表示を同時に行うことで階調表示することを特徴とする表示パネルの階調駆動装置。

【請求項3】 複数の階調表示が可能な表示パネルと、前記表示パネルの複数の信号ラインを駆動する信号ドライバと、前記表示パネルの複数の走査ラインを駆動する走査ドライバと、前記信号ドライバと前記走査ドライバを制御するコントローラを備えた表示装置であって、前記信号ドライバが、最大値を $n$ 等分（ $n$ は任意の整数）した値の電流値あるいは電圧値出力制御と、2の階乗に比例した出力時間幅の制御による階調表示を同時に行うことで階調表示することを特徴とする表示パネルの階調駆動装置。

【請求項4】 複数の階調表示が可能な表示パネルと、前記表示パネルの複数の信号ラインを駆動する信号ドライバと、前記表示パネルの複数の走査ラインを駆動する走査ドライバと、前記信号ドライバと前記走査ドライバを制御するコントローラを備えた表示装置であって、前記信号ドライバが、2の階乗に比例した値の電流ないし電圧値出力制御と、最大値を $n$ 等分（ $n$ は任意の整数）した値の出力時間幅の制御による階調表示を同時に行うことで、階調表示することを特徴とする表示パネルの階調駆動装置。

【請求項5】 複数の階調表示が可能な表示パネルと、前記表示パネルの複数の信号ラインを駆動する信号ドライバと、前記表示パネルの複数の走査ラインを駆動する走査ドライバと、前記信号ドライバと前記走査ドライバを制御するコントローラを備えた表示装置であって、前記信号ドライバが、最大値を $n$ 等分（ $n$ は任意の整数）した値の電流値あるいは電圧値出力制御と、最大値を $m$ 等分（ $m$ は任意の整数）した値の出力時間幅の制御による階調表示を同時に行うことで、階調表示することを特徴とする表示パネルの階調駆動装置。

【請求項6】 前記信号ドライバが複数の値の電流ない

2

し電圧出力制御と、複数の出力時間幅の制御による階調表示を同時に行う駆動方式において、 $n$ ビット（ $n$ は任意の整数）で表される階調データの上位 $m$ ビット（ $m$ は任意の整数）を用いて最大値の $1/2^m$ の間隔で振幅を制御された電流値あるいは電圧値出力制御と、下位（ $n-m$ ）ビットを用いて最大値の $1/2^{(n-m)}$ の間隔で時間幅を制御する時間幅制御を行うことを特徴とする請求項5記載の表示パネルの階調駆動装置。

【請求項7】 階調指令値を、複数の値の電流ないし電圧出力と、複数の値の出力時間幅に分離するためにデコードを設けたことを特徴とする請求項1～5のいずれかに記載の表示パネルの階調駆動装置。

【請求項8】 前記デコードは、制御方式を書き換え可能であることを特徴とする請求項7記載の表示パネルの階調駆動装置。

【請求項9】 電流ないし電圧出力のLSBを2度出力するまたは出力時間幅のLSBを2度出力するまたは両者ともLSBが2度あることを特徴とする請求項1から5のいずれかに記載の表示パネルの階調駆動装置。

【請求項10】 前記信号ドライバが複数の値の電流ないし電圧出力制御と、複数の出力時間幅の制御による階調表示を同時に行い、かつ出力時間が長くなるデコードを行うことを特徴とする請求項1～5のいずれかに記載の表示パネルの階調駆動装置。

【請求項11】 前記信号ドライバが複数の値の電流ないし電圧出力制御と、複数の出力時間幅の制御による階調表示を同時に行い、かつ電流ないし電圧出力は、値を増加させる方向のみに変化させることを特徴とする請求項1～5のいずれかに記載の表示パネルの階調駆動装置。

【請求項12】 前記信号ドライバが複数の値の電流ないし電圧出力制御と、複数の出力時間幅の制御による階調表示を同時に行う駆動方式において、電流ないし電圧出力の出力分割数数より、出力時間幅の分割数が多くなることを特徴とする請求項1～5のいずれかに記載の表示パネルの階調駆動装置。

【請求項13】 電流出力制御は定電流回路を備えていることを特徴とする請求項1～5のいずれかに記載の表示パネルの階調駆動装置。

【請求項14】 定電流回路は、カレントミラー型または電流フィードバック型から構成されることを特徴とする請求項13記載の表示パネルの階調駆動装置。

【請求項15】 表示パネルが有機ELないしLEDないし放電管ないし電子放出素子で構成されたことを特徴とする請求項1～5のいずれかに記載の表示パネルの階調駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LEDや有機ELや放電管や電子放出素子などの、駆動電流や駆動電圧を

60

(3)

3

変調して中間調表示が可能でかつ瞬間的に発光する表示装置に関し、回路的に高速性や高精度を要求することなく、十分な階調表示を可能とする駆動装置を実現するものである。

【0002】

【従来の技術】従来のLEDや有機ELを用いた表示装置の構成を図14に示す。図14において、10は複数の信号ラインと複数の走査ラインが組合わさったマトリクス形式の表示パネルで、11は信号ラインを駆動する信号ドライバで、12は走査ラインを駆動する走査ドライバで、13は信号ドライバ11と走査ドライバ12を制御するコントローラである。階調駆動する際には、その画像信号に応じたデータを信号ドライバ11に入力し、この信号ドライバ11内部に階調制御機能を設ける。

【0003】この階調制御方式は従来2つの方法が使用されていた。まず一つとしてパルス幅変調（以下PWMと略す）を説明する。この方式による信号ドライバの構成例を図15に示す。

【0004】図15において、20はシフトレジスタ（以下「S. R.」と略す）でコントローラからのクロックとスタート信号からデータ信号をサンプリングするタイミングを決定する。21はラッチであり階調を示す複数の信号データ線をS. R. の出力のタイミングに従ってラッチしデータ蓄えの働きをする。22はラッチ21に蓄えられたデータに基づきPWMの出力タイミングを決定するデコーダであり、23のPWM回路で最後にパルス幅変調された出力を表示パネルの信号ラインへ出力する。その出力例を図16に示す。走査ラインの駆動に同期して1水平期間毎に一定の出力を表示したい階調に応じて100%から最小単位のLSB出力までその時間幅を制御することで、階調表示を行う。

【0005】もう一つの出力振幅変調方式の信号ドライバの構成例を図17に示し、図と共に説明する。図15と同一機能のものは同一番号を付し説明は省略する。25はラッチ21に蓄えられたデータをアナログ電流に変換するD/A回路であり、この出力をトランジスタ26、27で構成されたカレントミラーの基準電流源へ入力する。カレントミラーの働きにより、このD/A25の出力電流と同じ値の電流がパネル信号ラインに流れ、データ信号に応じた電流振幅変調による階調表示が行われることになる。その出力例を図18に示す。1水平期間の中の有効走査期間にわたり、一定の電流が100%から最小単位のLSBまで駆動され階調を表示する。

【0006】以上LEDや有機ELに最適な電流駆動の場合についてその構成例を挙げて説明したが、放電管等の定電圧駆動に適したものは出力部をアンプ構成にするなどで対処可能である。

【0007】

【発明が解決しようとする課題】以上説明してきた従来

4

例のうち、PWMに関しては階調表示数が多くなると最小単位のLSBが狭くなり、信号ドライバとしては高速の動作が必要となる欠点があった。例えばコンピュータ用の640×480表示のパネルで自然画に必要とされる8bit、256階調を考えると、フレーム単位を60フレーム/秒とすれば、そのLSB幅は0.12μsの狭さとなり信号ドライバとしては極めて厳しい高速動作が必要とされる。その上、有機ELのように画素単位で等価回路としてダイオードだけでなく容量が並列に加わる表示素子では、例えば信号ドライバが高速動作しても並列容量に電流が逃げ、LSB単位では発光しなくなり細かい階調表現が損なわれるという現象が発生していた。

【0008】もう一つの出力振幅変調方式に関しては高速動作の不具合はないが、階調数が多い場合に信号ドライバの出力偏差が大きいという課題がある。例えば100%出力時を10mAとする電流出力の信号ドライバで、8bit256階調時のLSB出力は40μAであり、これを全ラインにわたって均一にこの精度を保証することは工業的に極めて厳しい。具体的には図8におけるD/A25、カレントミラー26の精度がポイントであり、これらをIC化しなければ表示パネルを商品化できないが、モノリシックICで1/256以下の精度でアナログ回路を多数集積することは極めて困難であった。

【0009】また、有機ELパネルでは、出力振幅変調制御を行った場合の現象として、素子の整流比が悪いと階調ずれが発生する問題がある。これを、図19を用いて説明する。まず、有機ELの駆動では、クロストーク防止のために選択ライン以外の素子には逆バイアスをかけている(L1, L3)。このとき、ある素子(E22)を低輝度で発光させるために出力電流値を制御すると、この素子に印加される電圧は必然的に小さくなる(+1V)。このとき逆バイアスされている同じカラムの他の素子E12、E32において、その素子の整流比が悪いとそこに逆電流が流れ、発光素子に向けて電流が流れ込む現象が発生する。

【0010】このため、階調がずれるという現象が発生する。この様に、有機EL素子で出力振幅変調を行う場合、素子自身の整流比の向上も要求される。例えば、640×480表示パネルで256階調表示する場合、階調ずれの許容誤差を1階調の1/2以下とすると、整流比は2.5×10<sup>5</sup>以上必要となる。

【0011】素子の整流比は材料や構成に依存するものの、高階調になるに従い実現が困難になる。この様に、有機EL素子の駆動では、さらに困難となる。

【0012】従来の出願例としては、特開平9-101759号公報がある。これは、複数の異なる出力電源を用意し、一定期間毎にある情報に基づいて、それぞれの電源をスイッチングさせて加算する駆動方式である。

60

(4)

5

【0013】この出願例では、パネルなど複数の素子を駆動する場合、複数の駆動回路が必要となる。このとき、電圧制御型の駆動回路では、電源を共通バス形式で複数の駆動回路に一定電圧を供給することができ、個々の駆動回路で電源出力の加算を行うことができる。しかし、有機EL素子の様に電流を加算して出力する場合、共通バス形式で一定電流を供給することができない。つまり、ある値の定電流源を複数の素子共通で使用することになり、スイッチング状態によって、電源の出力電流量が変化し、定電流動作が非常に困難になる。この場合、複数の駆動回路それぞれに複数の電流源、スイッチと加算器のセットが必要となり、部品点数や構成の複雑さなど問題がある。

【0014】

【課題を解決するための手段】本発明は、複数の階調表示が可能な表示パネルと、前記表示パネルの複数の信号ラインを駆動する信号ドライバと、前記表示パネルの複数の走査ラインを駆動する走査ドライバと、前記信号ドライバと前記走査ドライバを制御するコントローラを備え、前記信号ドライバが複数の値の電流ないし電圧出力制御と、複数の出力時間幅の制御による階調表示を同時にを行うことで高速動作、高精度を必要としない階調表示を可能とするものである。

【0015】

【発明の実施の形態】（第一の実施の形態）本発明の動作原理を図1に示し、図と共に説明する。図1は動作原理図を示し、時間方向に4bit、16階調を、電流（ないし電圧）出力方向に4bit、16階調を分割し、両者を組み合わせて8bit、256階調の表現を行おうとするものである。これにより、時間方向のLSBは約2μsとなり、大幅に動作周波数は低減される。そして電流出力方向は100%を10mAとするとLSBが約0.6mAとなり、精度は全体の1/16程度と低減される。これによりモノリシックIC化を工業的に可能とすることができる。

【0016】図1の時間方向を見ればわかるとおり、この例では通常の4bitコーディング、0、1、2、4、8ではなく、0、1、1、2、4、8としている。この理由は時間、電流方向ともに通常のコーディングにするとその幅は0から始まるので両者とも15LSB単位となり、このため15×15=225階調と256階調の表示ができなくなるのを防ぐためである。

【0017】特に低い値の時に表示できない組み合わせが出て、階調飛びが発生する点が問題である。例えば30の次は32しか表示できなく、31は不可能である。本発明の例では時間方向に一つLSB単位を付加し、16×15=240階調の組み合わせで表示しようとするものである。この場合256階調には届かないが低い値の階調飛びは防げるので、実用上問題はほとんどない。むしろ電流出力方向に1LSBを増やしても良い。さらに

6

出力両者ともLSB単位を付加し、16×16=256とし完全に表示させる方法をとっても良い。

【0018】また、時間方向と振幅値（電流ないし電圧）方向の分割方法であるが、デコード方式によって様々な方法があり、発光素子の特性に応じて選択すればよい。例えば、図2～図4のように分割を行ってもかまわない。

【0019】図2は、振幅値方向は、等間隔の値をとり、時間方向は2のべき乗に比例した値をとるものであり、この両者の組み合わせで階調を実現する方式である。

【0020】図3は、振幅値方向は、2のべき乗に比例した値をとり、時間方向は等間隔の値をとるものであり、この両者の組み合わせで階調を実現する方式である。

【0021】図4は、振幅値方向も、等間隔の値をとり、時間方向も等間隔の値をとるものであり、この両者の組み合わせで階調を実現する方式である。

【0022】尚、図示した分割数は、これに限るものでなく任意の数をとって良い。また、出力時間は連続でなくとも良く、不連続の形で出力しても良い。さらに、LSB単位をもう一つ付加した形で制御を行っても良い。

【0023】（第二の実施の形態）次に図5に構成の一例を示し図と共に説明する。図5において、20はシフトレジスタ（S. R. と略す）でコントローラからのクロックとスタート信号からデータ信号をサンプリングするタイミングを決定する。21はラッチであり階調を示す複数の信号データ線をS. R. の出力のタイミングに従ってラッチし一時データを蓄える働きをする。このラッチしたデータをデコード30で時間方向と電流出力方向の2つのデータにデコードする。具体的には、有効走査期間内で時間軸の進行に従い、出力電流値を変化させていく方式とした。このため、デコードからの出力データすなわち電流指令値は1系統でありD/Aコンバータ31に入力される。

【0024】D/A変換された電流指令値は、オペアンブ34、Tr33と電流設定抵抗R32から構成される定電流回路に入力される。この定電流回路は、一般的なフィードバック型で、電源とD/Aコンバータ31出力電圧との差電圧と設定抵抗R32で決定される電流が一定となるようにTr33を制御するものである。この様な構成をとることにより、デコード30からの指令に基づいた一定電流値が出力される。従って、電流指令値で決定された一定電流値で、パネルの素子を駆動することができる。

【0025】ここで、デコード30は、電流値と時間幅の分配をフレキシブルに行えるように、FPGA（Field Programmable Gate Array）を用いても良い。この種のICは、ソフト上でプログラムを行い、ICにダウ

(5)

7

ンロードすることにより機能を実現するものである。つまり、電流値と時間幅の分配を、接続するパネルの特性に適應させてプログラムすることができ、階調を精度良く出力することが可能となる。

【0026】次に図6、図7を用いてデコーダ30における分配方法を説明する。

【0027】電流値と時間幅の分配はデコーダ30により自由に設定できるが、一例として図4の様な等分割の分配を考える。入力データを上位nビットと下位mビットに分割して階調を表現する。

【0028】例えば、6ビット階調（64階調）を表現し、電流値2ビット（4階調）と時間幅4ビット（16階調）に分配して表現する場合を考える。デコードアルゴリズムは以下の通りとなる。

【0029】まず、入力データの上位2ビットを電流値分割データ[A]とし、下位4ビットを時間幅分割データ[B]としてラッチする。次に、16区間に渡って、データ[A]の数値分の電流値を出力する。加えて、データ[B]の数値分の区間だけ電流値出力に1を足した出力をする。

【0030】具体的に、図6および図7を用いて説明する。例えば、入力データが38/64階調とする。2進数表示では[100110]となる。この時、電流値分割データ[A]=2[10]、パルス幅分割データ

[B]=6[110]となる。この時出力波形は、16区間に渡ってデータ[A]の数値分の2を出力する。加えて、データ[B]の数値分6の区間だけ、出力に1を足した値3を出力する。

【0031】その結果、電流値出力としては、図7に示すような波形となり、電流値出力の最小単位ブロックを積み重ねて階調を実現する考え方である。

【0032】この様に、電流出力のブロックを積み重ねていく考え方であるので、任意に分配と分割数を変化できるというメリットが出せる。つまり、電流を16分割、時間幅を4分割に変更する場合は、それぞれがラッチするデータのビット数を変更すればよいだけである。また、有機ELパネルを駆動するときは、整流比が低いパネルの場合、階調ずれが発生する問題がある。これに対しても、電流分割数を少なくし、時間方向の分割数を大きくとることによって、精度を確保することが可能となる。パネルの特性にも依存するが、電流分割数よりも時間分割数を多くとるほうが精度が確保しやすい。

【0033】なお、分配方法やデコーダのアルゴリズムはこれに限るものではなく、分配数や階調数などの数値はこれに限定するものではない。また、出力は電流値に限らず、駆動するパネルに応じて、電圧出力でも良い。

【0034】（第三の実施の形態）第二の実施例で説明した階調実現方法および分配方法を用いて、例えば有機EL素子を駆動する場合を考える。このとき、有機EL素子の特性を考慮して駆動しなければならない。図8は

8

有機EL素子の駆動を模式的に示したものである。

【0035】駆動回路は、図5の構成であり、簡略化している。駆動時は、この素子に電源から定電流回路で電流を流す。有機ELは等価的にコンデンサ成分36と等価ダイオード35の整流特性を持っているものと考えられ、このとき、有機EL素子の等価コンデンサ36は充電される。第2の実施の形態で説明した方式（図7）では、時間軸のどこかのタイミングで電流値を減少させなくてはならない。ところが、定電流駆動回路の出力段は電流を減少させる回路を設けていないため、充電された等価コンデンサの電圧を下げることはできない。

【0036】一方、駆動期間が終了すると逆バイアス動作に移るため、図8の破線で示した経路がONし、充電された電圧をGNDに落とすことができる。つまり、等価コンデンサ36の電圧をGNDにする手段はあるものの、駆動期間中に電圧をある値に減少させる手段がない。このため、図7のような分配方法のアルゴリズムでは、有機EL素子をうまく駆動できないことになる。

【0037】そこで、分配出力のアルゴリズムを改良する。つまり、等価コンデンサ36の電圧は充電する方向には変化させることができるので、図9のように、電流指令値を増加させる方向にのみに変化させる方式とする。すなわち、分配方式としては、電流出力の最小単位ブロックを時間軸とは逆方向に増加させていくアルゴリズムとするものである。

【0038】このように、接続するパネルの特性に適應させて、電流指令値を増加させる方向にのみに変化させることにより、階調を精度良く出力することができる。

【0039】なお、駆動回路や駆動方法は、図8、図9で示した方法に限るものではない。また、分配方法やデコーダのアルゴリズムとして図10に示す出力でもかまわない。その他の方式で、電流指令値を増加させる方向にのみに変化させるアルゴリズムをとるものであれば良い。また、出力は電流値に限らず、駆動するパネルに応じて、電圧出力でも良い。

【0040】（第四の実施の形態）次に図11に構成の一例を示し図と共に説明する。図11においてS、R、21とラッチ22は図15と同様な動作であり、このデータをデコーダ30で時間方向と電流出力方向の二つのデータにデコードする。電流出力方向のデータは電流出力型D/Aコンバータ31によりアナログ電流値に変換され、トランジスタ32、33からなるカレントミラー回路に入力され、所定の電流値が出力される。時間方向のデータはカレントミラーの出力に接続されたPWM回路34によりパルス幅変調され、所定のパルス幅が出力される。以上説明したように時間、電流出力が組合さった階調表示が可能となる。なお、本発明ではそれほど高速性を要求されないので、水平期間の中で、D/A31の出力を直接変調してPWM相当の動作をさせることにより、PWM34を略す構成も可能である。

(6)

9

【0041】また、デコーダ30のデコードの仕方には色々な組み合わせが考えられる。ここで、あるデコード方法では不具合があることを説明し、それを防ぐデコード方法を次に説明する。デコードの方法として、出力電流を2値的に選択し、時間方向を下位データに割り付ける方法がある。

【0042】例としてMSBがオンするよりわずかに小さい中位データ時の例を図12に示す。この場合半分発光し、半分非発光というパターンになる。その状態からわずかに増えたデータになると図12の後半に示すようにMSBが発光するので、発光する期間が水平期間内で反転する。平均的にはデータが増えた分だけ発光強度が増すだけであるが、動画でこのようなパターンが発生すると、発光パターンが変化した瞬間を眼が捕らえ、データにはない輪郭状のパターンが観測される。この現象は2値発光のデバイスを時間方向にPWM変調して階調を出すプラズマ・ディスプレイでは動画疑似輪郭と呼ばれて顕著に見られ、色々対策案が出されているのが現状である。

【0043】そこで本発明では、上位ビットを時間方向に割り付け、下位ビットを電流出力方向として、なるべく発光時間を増やすデコードを提案する。これにより図13に示すように中位データからわずかに増える場合でも、時間方向にほとんど変化はなく、動画疑似輪郭は観測されることはない。

【0044】なお、以上実施の形態で説明したのは、電流駆動に適した有機ELやLEDを対象としたディスプレイの駆動について述べたものである。しかしながら、デバイスの電圧－電流特性が均一に出来る場合や、放電管を組み合わせたディスプレイでは電圧出力となり、この場合カレントミラーでなく電圧アンプ出力でよく、構成面でより簡単にすることができる。

【0045】

【発明の効果】以上述べたように、本発明では、素子および駆動回路の高速応答や、高精度の振幅制御を必要とせずに高階調の表示を可能とするものである。そして、階調飛びのない組み合わせ方式を実現している。

【0046】また、制御方式を、接続するパネルの特性に適応させてプログラムすることができるので、電流値と時間幅の分配と分割数を任意に変化でき、階調を精度良く出力することが可能となる。

【0047】また、接続するパネルの特性に適応させて、電流分割数を少なくし、時間方向の分割数を大きくとることができ、精度を確保することが可能となる。

10

【0048】また、接続するパネルの特性に適応させて、電流指令値を増加させる方向にのみに変化させることにより、階調を精度良く出力することができる。

【0049】また、動画疑似輪郭のないデコード方式を採用することで動画でも良好な画像を可能としている。

【0050】さらに、有機EL素子のように電流制御型でかつ整流比の低いパネルに対しても、構成が簡単で、電流精度および応答速度が厳しくない駆動方式を提供でき高階調の表示を行うことができる。そして、発光パネルの特性に適した階調分配方式をとることができ、階調を精度良く表示できる。

【図面の簡単な説明】

【図1】本発明の実施例の原理図

【図2】同実施例の原理図

【図3】同実施例の原理図

【図4】同実施例の原理図

【図5】本発明の実施例の構成図

【図6】本発明の実施例のデコーダ入力データを示す図

【図7】本発明の実施例の出力波形図

【図8】本発明の実施例の駆動原理を示す概略回路図

【図9】本発明の実施例の出力波形図

【図10】本発明の実施例の出力波形図

【図11】本発明の実施例の構成の一例を示す図

【図12】本発明の実施例の発光パターンの一例を示す図

【図13】本発明の実施例の発光パターンの一例を示す図

【図14】ディスプレイの構成図

【図15】従来のPWM方式の構成図

【図16】従来のPWM方式の発光パターンの一例を示す図

【図17】従来の出力変調方式の構成図

【図18】従来の出力変調方式の発光パターンの一例を示す図

【図19】有機ELパネルで出力振幅変調制御を行った場合の階調ずれを示す図

【符号の説明】

20 シフトレジスタ (S. R.)

21 ラッチ

30 デコーダ

31 D/Aコンバータ

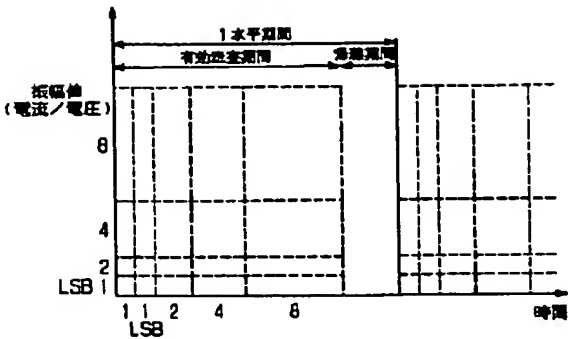
32 電流設定抵抗R

33 Tr

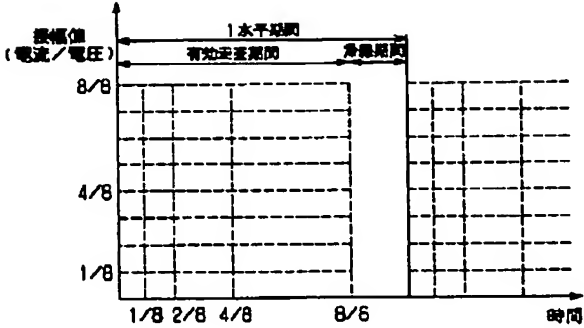
34 オペアンプ

(7)

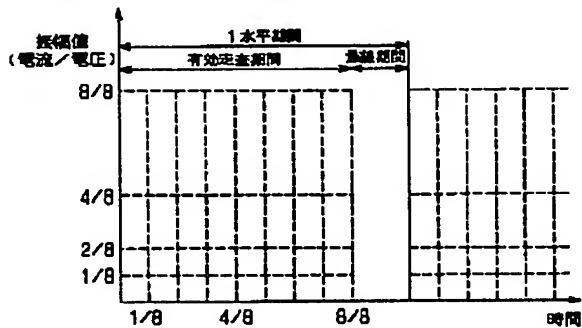
【図 1】



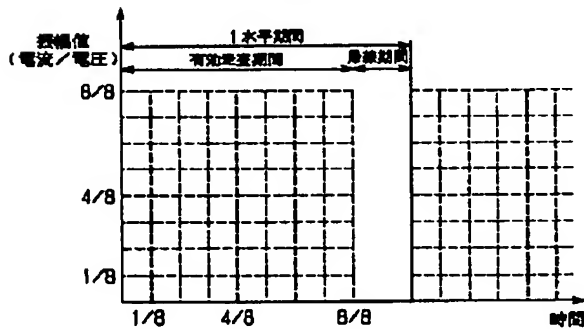
【図 2】



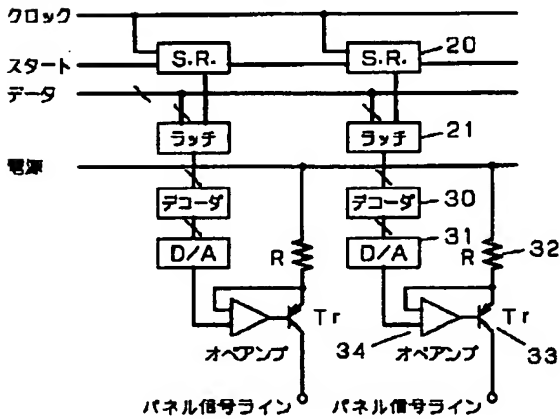
【図 3】



【図 4】



【図 5】



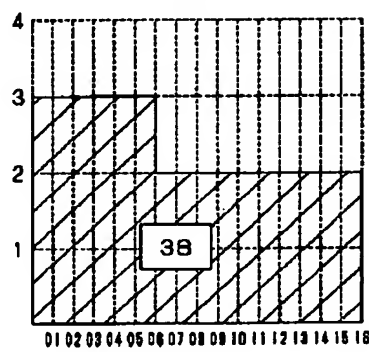
【図 6】

入力階調データ

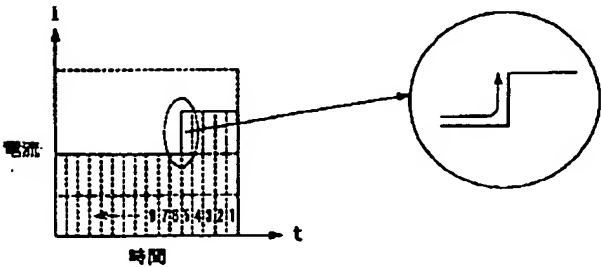
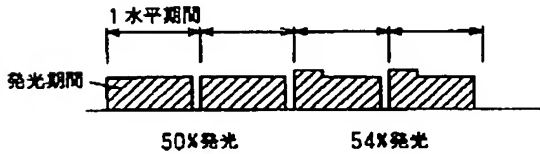
10進数	2進数	
	A	B
38	1 0 0 1 1 0	

【図 7】

出力波形



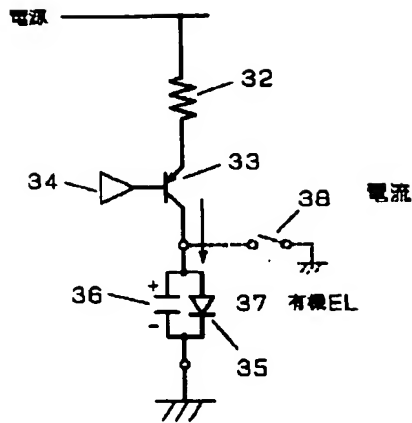
【図 13】



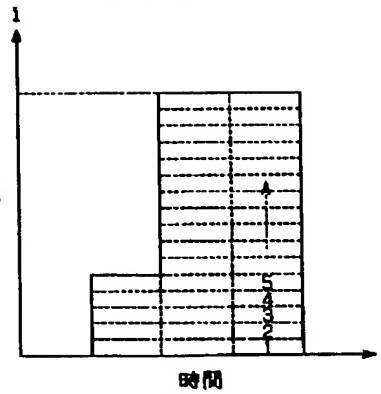


(8)

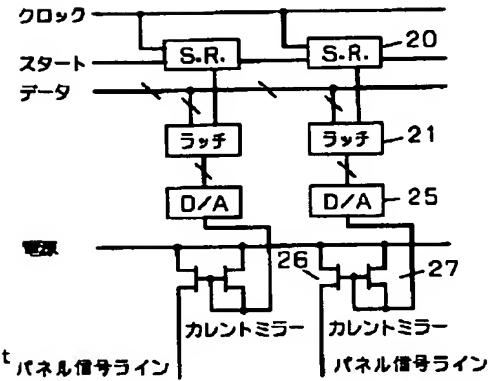
【図8】



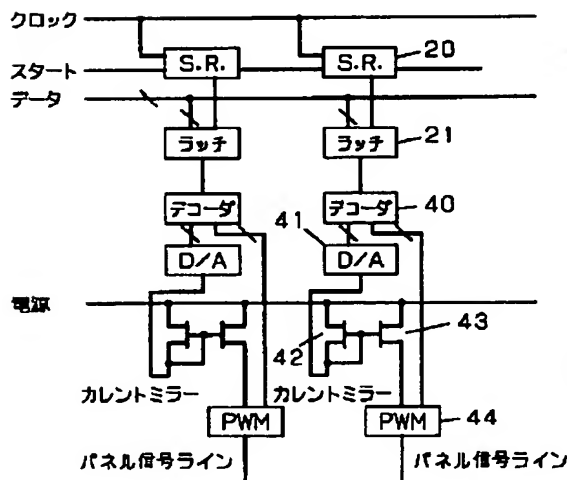
【図10】



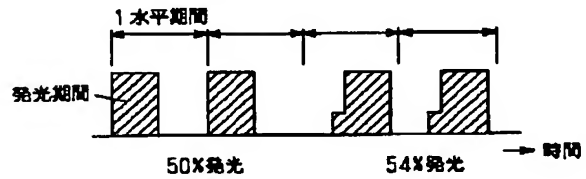
【図17】



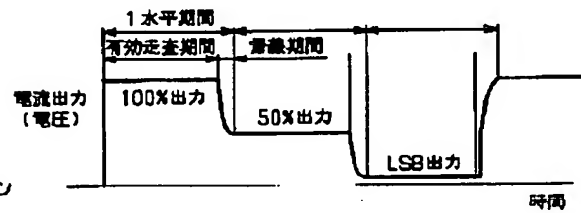
【図11】



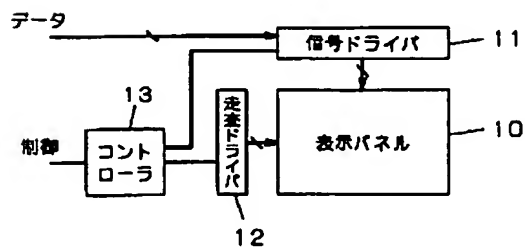
【図12】



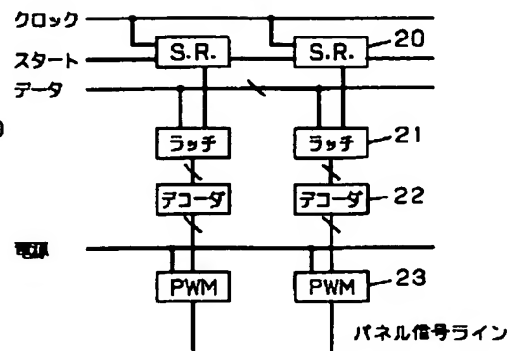
【図18】



【図14】

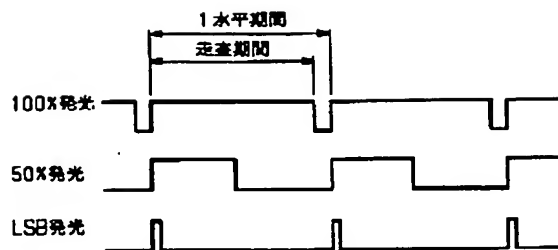


【図15】

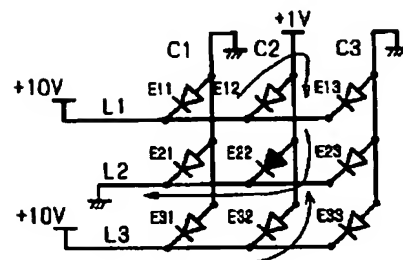


(9)

【図16】



【図19】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード\* (参考)

G 0 9 G 3/28

G 0 9 G 3/28

K

3/30

3/30

K

H 0 4 N 5/66

H 0 4 N 5/66

A